



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11)Publication number: 08032040

(43)Date of publication of application:
02.02.1996

(51)Int.Cl.

H01L 27/12
H01L 27/08
H01L 29/786

(21)Application number: 06162316 (71)Applicant: NEC CORP

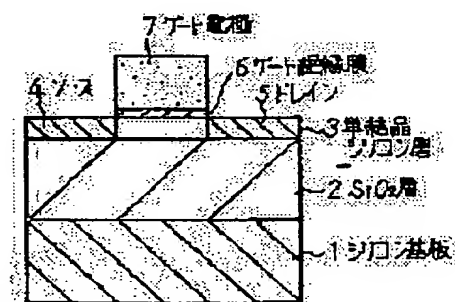
(22)Date of filing: 14.07.1994 (72)Inventor: YOSHINO AKIRA

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To restrain a depletion layer from excessively stretching in an SOI integrated circuit, by forming an insulator thin film and a silicon thin film, in order on a silicon substrate containing at least one kind of

impurity element of a specified concentration. CONSTITUTION: An SiO₂ layer 2 as an insulating layer is formed on a high concentration P-type silicon substrate containing P-type impurity element whose concentration is $1 \times 10^{17} \text{cm}^{-3}$ or higher, e.g., 10^{19}cm^{-3} or higher. A single crystal silicon layer 3 is formed on the layer 2. By using an ordinary manufacturing process, an NMOS transistor is formed on the single crystal silicon layer 3. The source 4 and the drain 5 of the transistor are formed inside the silicon layer 3. The gate insulating film 6 and the gate electrode 7 are formed on the surface of the silicon layer 3. Since the P-type impurity concentration of the silicon substrate 1 is high, a depletion layer does not stretch toward the silicon substrate 1 side when the voltage of the drain 5 increases.



THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P) (12) 公開特許公報 (A) (11) 特許出願公開番号
特開平8-32040
 (43) 公開日 平成8年(1996)2月2日

(5) Int. Cl. ⁴	識別記号	庁内整理番号	F I	技術表示箇所
H01L 27/12	Z			
27/08	331 E			
29/786				
		9556-4M	H01L 29/78	311 G
		9558-4M		311 C
			審査請求 有	請求項の数 8 O L (全 13 頁)

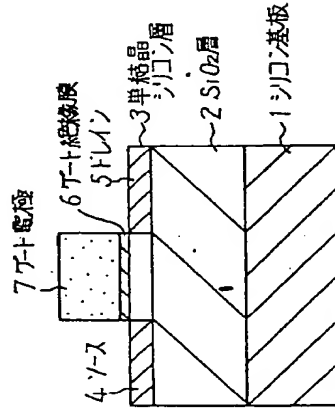
(21) 出願番号 特願平6-162316
 (22) 出願日 平成6年(1994)7月14日
 (71) 出願人 000004237
 日本電気株式会社
 東京都港区芝五丁目7番1号
 (72) 発明者 吉野 明
 東京都港区芝五丁目7番1号 日本電気株
 式会社内
 (74) 代理人 弁護士 京本 直樹 (外2名)

(54) 発明の名称 半導体装置

(57) 要約

【目的】 完全空乏化型SOIトランジスタのしきい値電圧の SiO_2 層下部に存在するシリコン基板の電位変化に対する変動を防止することにある。

【構成】 本発明のSOI型半導体装置は、 SiO_2 層2とシリコン基板1との界面近傍の所望の位置に、 $1 \times 10^{10} \text{ cm}^{-2}$ という比較的低濃度の成い不純物配置領域11や38を有する。



【特許請求の範囲】

【請求項1】 シリコン基板の上に形成された絶縁体薄膜と、この絶縁体薄膜上に形成されたシリコン薄膜とを有する構造を有する基板を備えた半導体装置において、前記シリコン基板は少なくとも一種類の不純物元素を含む有し、かつかかる不純物元素の濃度が $1 \times 10^{10} \text{ cm}^{-2}$ 以上である半導体装置。

【請求項2】 前記シリコン基板はその不純物元素の濃度が $1 \times 10^{10} \text{ cm}^{-2}$ よりも低い第1の部分と前記絶縁体薄膜と前記シリコン基板との界面近傍に設けられ不純物元素の濃度が $1 \times 10^{10} \text{ cm}^{-2}$ 以上である第2部分とを有する請求項1記載の半導体装置。

【請求項3】 前記シリコン薄膜にMOS型トランジスタが形成され、このトランジスタのソースおよびドレインが形成されるシリコン薄膜の部分の直下にある前記絶縁体薄膜と前記シリコン基板との界面近傍のシリコン基板に前記第2の部分設けられている請求項2記載の半導体装置。

【請求項4】 前記シリコン薄膜にMOS型トランジスタが形成され、このトランジスタのゲート電極の直下にある前記絶縁体薄膜と前記シリコン基板との界面近傍のシリコン基板に前記第2の部分設けられている請求項2記載の半導体装置。

【請求項5】 請求項1記載の半導体装置において、シリコン基板は主たる不純物元素がボロンなどのp型不純物であり、その濃度が $1 \times 10^{10} \text{ cm}^{-2}$ 以下であり、NMOSTトランジスタのゲート電極直下にある絶縁体薄膜とp型シリコン基板との界面近傍のp型シリコン基板の特定の領域が含有するボロンなどのp型不純物元素の濃度が $1 \times 10^{10} \text{ cm}^{-2}$ 以上であり、PMOSTトランジスタ領域直下のシリコン基板の第一の特定領域が含有するリンなどのn型不純物元素の濃度が、p型シリコン基板が含有するp型不純物元素の濃度よりも高く、この第一のn型特定領域と絶縁体薄膜との界面近傍にあり、かつPMOSTトランジスタのゲート電極の直下及びその近傍にある第二の特定領域が含有するリンなどのn型不純物元素の濃度が $1 \times 10^{10} \text{ cm}^{-2}$ 以上であり、さらに、p型シリコン基板と第一のn型特定領域の電位が各々、ある一定値に固定されている半導体装置。

【請求項6】 請求項1記載の半導体装置において、シリコン基板が含有する主たる不純物元素がリンなどのn型不純物であり、その濃度が $1 \times 10^{10} \text{ cm}^{-2}$ 以下であり、PMOSTトランジスタのゲート電極直下にある絶縁体薄膜とn型シリコン基板との界面近傍のn型シリコン基板の特定の領域が含有するリンなどのn型不純物元素の濃度が $1 \times 10^{10} \text{ cm}^{-2}$ 以上であり、NMOSTトランジスタ領域直下のシリコン基板の第一の特定領域が含有するボロンなどのp型不純物元素の濃度が、n型シリコン基板が含有するn型不純物元素の濃度よりも高く、この第一のp型特定領域と絶縁体薄膜との界面近傍にあり、か

(2)

つNMOSTトランジスタのゲート電極の直下及びその近傍にある第二の特定領域が含有するボロンなどのp型不純物元素の濃度が $1 \times 10^{10} \text{ cm}^{-2}$ 以上であり、さらに、n型シリコン基板と第一のp型特定領域の電位が各々、ある一定値に固定されている半導体装置。

【請求項7】 請求項1記載の半導体装置において、シリコン基板が含有する不純物元素がボロンなどのp型不純物であり、その濃度が $1 \times 10^{10} \text{ cm}^{-2}$ 以下であり、NMOSTトランジスタのソース・ドレイン領域下部にある絶縁体薄膜とp型シリコン基板の界面近傍のp型シリコン基板の特定の領域が含有するボロンなどのp型不純物元素の濃度が $1 \times 10^{10} \text{ cm}^{-2}$ 以上であり、PMOSTトランジスタ領域直下のシリコン基板の第一の特定領域が含有するリンなどのn型不純物元素の濃度がp型シリコン基板が含有するp型不純物元素の濃度よりも高く、この第一のn型特定領域と絶縁体薄膜との界面近傍にあり、かつPMOSTトランジスタのソース・ドレイン領域下部にある第二の特定領域が含有するリンなどのn型不純物元素の濃度が $1 \times 10^{10} \text{ cm}^{-2}$ 以上であり、さらに、p型シリコン基板と第一のn型特定領域の電位が各々、ある一定値に固定されている半導体装置。

【請求項8】 請求項1記載の半導体装置において、シリコン基板が含有する不純物元素がリンなどのn型不純物であり、その濃度が $1 \times 10^{10} \text{ cm}^{-2}$ 以下であり、PMOSTトランジスタのソース・ドレイン領域下部にある絶縁体薄膜とn型シリコン基板の界面近傍のシリコン基板の特定の領域が含有するリンなどのn型不純物元素の濃度が $1 \times 10^{10} \text{ cm}^{-2}$ 以上であり、NMOSTトランジスタ領域直下のシリコン基板の第一の特定領域が含有するボロンなどのp型不純物元素の濃度が、n型シリコン基板が含有するn型不純物元素の濃度よりも高く、この第一のp型特定領域と絶縁体薄膜との界面近傍にあり、かつNMOSTトランジスタのソース・ドレイン領域下部にある第二の特定領域が含有するボロンなどのp型不純物元素の濃度が $1 \times 10^{10} \text{ cm}^{-2}$ 以上であり、さらに、n型シリコン基板と第一のp型特定領域の電位が各々、ある一定値に固定されている半導体装置。

【発明の詳細な説明】

[0001]

【産業上の利用分野】 本発明は半導体装置に関し、特にSOI (silicon-on-insulator) 型の半導体装置に関する。

[0002]

【従来の技術】 大規模集積回路の集積度は急速な勢いで増加している。それに伴って、MOS型集積回路に搭載されているMOSトランジスタのゲート長はすでに0.5ミクロン以下になっており、積層レベルでは0.05

ミクロンに達している。性能が高く、しかも長期信頼性を有する微細MOSトランジスタを実現するためには、様々な要素を考慮しながら構造の最適化を行なわなければならない。

【0003】MOS型集積回路においてさらに高い集積度を実現するためには、MOSトランジスタ全体の寸法をさらに小さくしなければならぬ。この寸法を小さくして電流駆動能力などの基本性能が低下しないようにするためにはゲート長を短くしなければならぬが、ゲート長の減少と共に「短チャネル効果」と呼ばれる現象が顕著になっていく。短チャネル効果とは、ゲート長の減少に伴ってトランジスタのしきい値やソース・ドレイン間抵抗の値が低下し、サブスレッショルド係数の値が増加してしまう現象である。この現象を抑制して良好な特性のトランジスタを実現するために、一般的には、ゲート長の減少に合わせてチャネル部の不純物濃度を増加させなければならない。このような一般的な原則に基づいて微細MOSトランジスタを作製すると、ドレインと基板の間に形成されるp-n接合の容量が増加するため、寄生容量の充放電に要する時間が増加して回路動作速度が低下してしまう事になる。トランジスタの微細化（構造の最適化）はこれらの問題をバランス良く解決しながら実現されて来たが、微細加工技術などの製造技術の問題や、集積回路システムの設計や最適な回路設計技術の問題と共に、トランジスタをさらに微細化して集積度を向上することは、ますます困難になりつつある。

【0004】一方、SOI (Silicon-on-insulator) 構造を有する基板 (以下SOI基板と略称する) を用いた集積回路の開発は、上記p-n接合容量を低減する事を目的として行なわれている。

【0005】図19に、SOI基板の例を示す。通常の単結晶シリコン基板1の上に絶縁層としてSiO₂層2が形成され、その上に単結晶シリコン層3が形成され製造されている。SOI基板の製造技術はすでに確立されている。SiO₂層2とシリコン層3の厚さの組み合わせは目的に応じて変わるが、微細なCMOS回路に適用する場合には、各々100-500nm、30-150nm程度の値が用いられている。トランジスタなどの素子は、このシリコン層3に形成される。

【0006】図20にSOI基板上に作製されたNMOSTランジスタ (以下NMOS/SOIなどと略称する) の例を示す。この図に示した例のように、ソース4、ドレイン5となる不純物濃度がSiO₂層2の容量に依り、ゲート長が短くなるにつれて、ソース4、ドレイン5となる不純物濃度が向上し、同時に消費電力も減少する。この様な利点を注目して、SOI基板を用いた集積回路の研究開発が行なわれている。

【0007】SOI基板上に作製されるトランジスタ

は、その構造から「完全空乏化型」と「部分空乏化型」という二種類に分類されている。NMOS/SOIやPMOS/SOIのチャネル部のシリコン層に導入する不純物の濃度とこのシリコン層の厚さが決まると、この不純物濃度によって決定される空乏層の幅の最大値 (最大空乏層幅) とチャネル部のシリコン層の厚さの大小関係が決定される。チャネル部のシリコン層の厚さよりも最大空乏層幅の方が大きいトランジスタは「完全空乏化型SOITランジスタ」と呼ばれ、チャネル部のシリコン層の厚さよりも最大空乏層幅の方が小さいトランジスタは「部分空乏化型SOITランジスタ」と呼ばれる。図21に、動作状態にある完全空乏化型と部分空乏化型のSOITランジスタを模式的に示す。完全空乏化型の場合 (図21-a) にはチャネル領域 (チャネル部のシリコン層) 14が完全に空乏化して中性のp型領域25は残っていないのに対して、部分空乏化型の場合 (図21-b) にはチャネル領域4のシリコン層が完全に空乏化しておらず、中性のp型領域25が残っている。

【0008】ドレイン・基板間の寄生容量 (ドレイン寄生容量) を低減できるといふSOI構造固有の特徴に加えて、シリコン層の厚さを100nm程度以下に薄くした完全空乏化型SOITランジスタは、短チャネル効果 (ゲート長の減少に伴うしきい値の低下、サブスレッショルド係数の増加) を効果的に抑制できるといふ重要な特徴を有する事が広く知られており (例えば、大村ほか、テクニカル デジエス ト オブ アイ・イー・ディー・エム、p. 675, 1991年 [Y. Omura et al., Technical Digest of IEDM (International Electron Device Meeting), p. 675, 1991])、実用化に向けて多くの研究が行なわれている。

【0009】

【発明が解決しようとする課題】以上説明した様に、完全空乏化型SOITランジスタは優れた特徴を有するが、一方、解決されなければならない課題も有している。

【0010】すなわち、SOITランジスタのドレイン・基板間の寄生容量 (ドレイン寄生容量) の値はドレイン電圧が0Vの時に最も大きく、その値はSiO₂層の厚さによって決定される。ところが、実際の回路動作においてドレイン寄生容量が充電される際には、ドレイン電圧が時間と共に上昇するため、SiO₂層下部のシリコン基板側には空乏層が形成され、SiO₂層と空乏層が直列接続された状態になる。その結果、全体的なドレイン寄生容量の値はドレイン電圧の上昇と共に減少する。

【0011】図22に、完全空乏化型NMOS/SOITランジスタのドレインに電圧が印加されて、p型

のシリコン基板側には空乏層13が形成されている状態を概念的に示す。空乏層の形成状態 (電位分布) は、SiO₂層の厚さやフラットバンド電圧、シリコン基板の不純物濃度分布、及び電圧電圧などに依存するが、トランジスタの性能や回路動作性能の観点から、不必要に厚いSiO₂層を用いるよりは、むしろSiO₂層の厚さと基板の不純物濃度を共に低く設定した方が望ましいといえる場合が生じる。トランジスタ性能とSiO₂層の厚さの関係に関しては、大村ほかが報告している (大村ほか、テクニカル デジエス ト オブ アイ・イー・ディー・エム、p. 675, 1991年 [Y. Omura et al., Technical Digest of IEDM (International Electron Device Meeting), p. 675, 1991])。

【0012】一方完全空乏化型SOITランジスタでは、ゲート電圧がしきい値電圧以下の領域では、ゲート電圧の増加と共にシリコン層内部に空乏層が広がり、それがSiO₂層に到達するとトランジスタの容量はゲート容量と空乏化したシリコン層の容量に加えて、SiO₂層の容量が直列接続された状態になる。従って、完全空乏化型SOITランジスタのしきい値電圧などの基本パラメータは、SiO₂層下部に存在するシリコン基板の電位変化に対して非常に敏感になる。例えば、シリコン基板がp型の場合にこのシリコン基板の電位を0Vから負方向に変化させると、完全空乏化型NMOS/SOITランジスタのしきい値電圧は増加し (リムほか、アイ・イー・イー・イー、トランザクションズ オン エレクトロニクス、p. 1244 (1983)、[H. K. Lim and J. G. Fossum, IEEE Transactions on Electron Devices, ED-30, p. 1244 (1983)]、チャネル移動度は低下する (メイヤー、アイ・イー・イー・イー、トランザクションズ オン エレクトロニクス、ED-37, p. 128 (1990) [Mayer IEEE Transactions on Electron Devices, ED-37, p. 128 (1990)]、その結果、ドレイン、ゲート、ソースのバイアス条件が同じ場合には、電流駆動能力は基板電位 (負) の絶対値の増加と共に低下する。図22に示したような状態におけるトランジスタのしきい値電圧は、空乏層が形成されていない場合や、空乏層が形成されてもこれがチャネル下部を広くは覆っていない場合の値よりも高くなる。

【0013】図23は、寄生容量Cに充電されていた電荷が、直列接続された微細NMOSTランジスタAとBを介して放電される過程を概念的に示している。トランジスタAのソースとトランジスタBのドレインは共通である。シリコン基板の不純物濃度は例えば1×10¹⁶cm⁻³程度であり、トランジスタAとBのゲート電圧には

共にハイレベルの値が入力されているものとする。この図に示した状態では、トランジスタAのドレイン5下部のシリコン基板に形成された空乏層13がトランジスタA自身のチャネル領域下部にまで広がっており、さらに、トランジスタBのドレイン (トランジスタAのソース4) の電位が上昇した事によって形成された空乏層23がトランジスタAとBのチャネル領域下部にまで広がっている。このような場合、トランジスタAとBは、実効的に負の基板バイアスが印加された状態になっているため、シリコン基板1が完全に空乏化されている場合 (SiO₂層2とシリコン基板1の界面の電位が0Vになっている場合) に比べてしきい値電圧が高くなり、チャネル移動度が低くなる。その結果、電流駆動能力が低下して寄生容量の放電に要する時間が長くなり、回路動作速度が低下してしまう。

【0014】

【課題を解決するための手段】本発明の目的はSOI型集積回路における空乏層の過剰な広がりを抑制した半導体装置を提供することにある。かかる目的のために、本発明のSOI型半導体装置は、SiO₂層とシリコン基板との界面近傍の所望の位置に、1×10¹⁶cm⁻³以上という比較的高い不純物濃度の高い不純物拡散領域を有している。

【0015】

【実施例】次に本発明について図面を参照して説明する。

【0016】図1は本発明の第一の実施例を示す半導体チップ (NMOS/SOI) の断面図である。10¹⁶cm⁻³以上のp型不純物元素を含有する高濃度p型シリコン基板1の上に絶縁層として厚さ400nm程度のSiO₂層2が形成されており、その上に厚さ100nm程度の単結晶シリコン層3が形成されている。このシリコン層3の上に、通常の製造工程を用いてNMOSTランジスタが形成されている。トランジスタのソース4、ドレイン5はシリコン層3の内部に形成されており、ゲート絶縁層6とゲート電極7はシリコン層3の表面に形成されている。この例では、シリコン基板1のp型不純物濃度が高いため、ドレイン5の電圧が上昇してもシリコン基板1側には空乏層が広がらない。シリコン基板1が含有するp型不純物の濃度は、この濃度と逆方向電圧に依存する空乏層の幅やトランジスタの寸法などを考慮して、必要に応じて所望の値に設定すれば良く、この例で用いた値に限定されるものではないという事は言うまでもない。以下の実施例で示す高濃度不純物領域の形成に関する事項は言うまでもない。

【0017】このようなSOI基板を作製する方法はすでに確立されているが、その概要を図2を用いて説明する。

【0018】不純物濃度の低い単結晶シリコン基板8の

するたためには、上記CVD酸化膜33の厚さを、領域11を形成するために必要なイオン注入の深程(の最大値)と同等以上しておく必要がある。さらに、領域11の深さをある程度深くする場合には、イオン注入の加速エネルギーを必要に応じて何段階かに変化する事が望ましい。PMOSTランジスタ部についても同様である(工程f)。

【0037】(工程f)で説明したNMOSTランジスタ部の高減速p型領域と同様にPMOSTランジスタ部の高減速n型領域38を形成した後、露出している単結晶シリコン層39の表面に厚さ10nm程度のゲート酸化膜6を形成した後、ゲート厚程度の厚さの高減速n型多結晶シリコン層39を増殖する(工程g)。

【0038】ドライエッチング技術を用いて上記多結晶シリコン層39の不要部分を除去する事によってゲート電極7を形成した後、希釈フッ酸溶液を用いてCVD酸化膜33を除去する。この時、素子分離領域の酸化膜27とゲート酸化膜6は酸化膜32によって保護されている。加熱したリン酸溶液を用いて酸化膜32を除去した後、露出したゲート電極7の表面に厚さ50nm程度の熱酸化膜40を形成する(工程h)。

【0039】次に、通常のリングラフイー技術を用いて、コンタクトホール41のパターンニングを行なった後、レジスト42をマスクにしたドライエッチング技術を用いて素子分離領域の酸化膜27とSOI基板のSiO₂層2をエッチングして、PMOSTランジスタ領域のシリコン基板1内部に形成したn型領域34の表面を露出させる(工程i)。

【0040】次に、フォトリソグラフィ技術を用いて、レジスト43でPMOSTランジスタをマスクした後、例えば、加速エネルギー50keV、注入量5×10¹⁵cm⁻²の条件でヒ素イオン44を注入してNMOSTランジスタのソース4とドレイン5を形成する。この時、PMOSTランジスタ領域に形成したn型領域34の電位を固定するためのコンタクトホール43の内部、つまりn型領域34の表面にもヒ素イオン44が注入される(工程j)。

【0041】同様にして、PMOSTランジスタのソース4、ドレイン5を形成する(工程k)。

【0042】厚さ500nm程度の熱酸化膜45を形成した後、ゲート電極7、コンタクトホール41、及び上記n型領域と接するコンタクトホールを形成し、通常の金属配線技術を用いてアルミ電極46(接地端子)、47(出力端子)、48(電源端子)を形成する。n型領域34は電源電位に固定される(工程l)。

【0043】図16は本発明の第八の実施例を示す半導体チップの断面図である。ランジスタの基本構造は第七の実施例(図11)と同じであるが、この例では、遅延エネキシャル成長技術を用いて、ソース・ドレイン領域3及びPMOSTランジスタ部のn型領域(n-

型)のコンタクト部41にのみ、厚さ100nm程度の単結晶シリコン層49を形成している。SOI基板の単結晶シリコン層3の厚さを50nm程度に設定すると、ソース・ドレインの寄生抵抗が著しく増加して電流駆動能力が低下してしまうが、この単結晶層を形成することによって、この寄生抵抗の値を著しく低減できる効果がある。

【0044】図17を用いてこの構造の製造方法を説明する。図12～図14に示した(工程a)から(工程i)までの工程は共通である。

【0045】PMOSTランジスタ部のn型領域に、図14の(工程i)と同じ方法でコンタクトホール41を形成する(工程a)。

【0046】通常の選択エビタキシャル成長技術を用いて、各トランジスタのソース・ドレイン領域と上記コンタクトホール41にのみ、厚さ100nm程度の単結晶シリコン層49を選択的に形成する(工程b)。

【0047】NMOSTランジスタ、PMOSTランジスタのソース・ドレインを形成するためのイオン注入を行ない、注入した不純物元素を活性化するための熱処理を行なった後、図15の(工程i)と同様に、アルミ配線を形成する(工程c)。

【0048】上記(工程c)において、ソース・ドレイン領域やゲート電極7の表面にナタフ、コバルトなどの金属シリサイドを形成したり、また、上記(工程b)において単結晶シリコン層49を形成する代わりに、タンダステンなどの金属薄膜を選択的に成長する事によっても、ソース・ドレインやゲート電極の寄生抵抗を著しく低減できる事は言うまでもない。

【0049】図18は本発明の第九の実施例を示す半導体チップの断面図である。PMOSTランジスタ領域のSiO₂層2下部に不純物濃度の低いn型領域34を形成する事など、全体的な構造は本発明の第七、第八の実施例と同じであるが、この例では、高減速不純物1と38を各トランジスタのゲート電極下部ではなく、ソース・ドレイン領域の直下に形成している。またこの例では、p型のシリコン基板1を用いているため、NMOSTランジスタのソース・ドレイン領域直下にはp型の高減速不純物領域11を形成し、PMOSTランジスタのソース・ドレイン領域直下にはn型の高減速不純物領域38を形成する事によって、不要な寄生容量の発生を防止している。上記高減速不純物領域11と38の伝導型を逆にした場合(高減速不純物領域11をn型、高減速不純物領域38をp型にした場合)には、シリコン基板1の中に新たなp-n接合が形成されるため、不要な寄生容量が増加してしまう事になる。高減速不純物領域11と38は、本発明の第三の実施例(図5、図6)について説明したように、ソース・ドレインを形成するためのイオン注入を行なう通常の製造工程において、イオン種と加速エネルギーを変更する事によって容易に形

成できる。

【0050】本発明の第七、第八、第九の実施例では、不純物濃度の低いp型シリコン基板1を用いているが、不純物濃度の低いn型シリコン基板1を用いる場合にも同様の構造が容易に実現できることは言うまでもない。さらに、各トランジスタ領域下部のSiO₂層2とシリコン基板1の界面近傍の電位を所望の値に固定するため自由度がある、という事も言うまでもない。

【0051】

【発明の効果】以上説明した用本発明のSOI型半導体装置は、SiO₂層とシリコン基板との界面近傍の位置に不純物濃度の高い領域を有しているため、ドレイン電圧の上昇によってシリコン基板側に形成される空乏層がチャネル領域下部にまで広がる事を抑制するため、完全空乏化型SOIトランジスタのしきい値電圧、チャネル移動度などのパラメータが安定化して電流駆動能力などの基本特性が向上する結果、回路動作速度が向上する、という効果を有する。基板濃度としては1×10¹⁷cm⁻³以上で初期の目的・効果が得られることが確認されたが、実用的には1×10¹⁶cm⁻³以上が好ましい。また、上記実施例で示した材料は適宜他の材料や半導体材料、不純物におきかえることもできる。特に単結晶シリコンの代わりに多結晶シリコンでもよい。

【図面の簡単な説明】

【図1】本発明の第一の実施例を示す半導体チップの断面図である。

【図2】本発明の第一の実施例に用いたSOI基板の製造方法を示す図である。

【図3】本発明の第二の実施例を示す半導体チップの断面図である。

【図4】本発明の第二の実施例に用いたSOI基板の製造方法を示す図である。

【図5】本発明の第三の実施例を示す半導体チップの断面図である。

【図6】本発明の第三の実施例の製造方法を示す図である。

【図7】本発明の第四の実施例を示す半導体チップの断面図である。

【図8】本発明の第四の実施例の製造方法を示す図である。

【図9】本発明の第五の実施例を示す半導体チップの断面図である。

【図10】本発明の第六の実施例を示す半導体チップの断面図である。

【図11】本発明の第七の実施例を示す半導体チップの断面図である。

【図12】本発明の第七の実施例の製造方法の一部を示す図である。

【図13】本発明の第七の実施例の製造方法の一部

を示す図である。

【図14】本発明の第七の実施例の製造方法の他の一部を示す図である。

【図15】本発明の第七の実施例の製造方法はさらに他の一部を示す図である。

【図16】本発明の第八の実施例を示す半導体チップの断面図である。

【図17】本発明の第八の実施例の製造方法を示す図である。

【図18】本発明の第九の実施例を示す半導体チップの断面図である。

【図19】SOI基板の例を示す図である。

【図20】SOI基板上に作製されたNMOSTランジスタの例を示す図である。

【図21】動作状態にある完全空乏化型SOIトランジスタと部分空乏化型SOIトランジスタの模式図である。

【図22】完全空乏化型NMOS/SOIトランジスタのドレインに電圧電圧が印加されて、p型シリコン基板側に空乏層が形成されている状態を示す概念図である。

【図23】寄生容量に充電されていた電荷が、直列接続された二つのNMOS/SOIトランジスタを介して放電される過程を示す概念図である。

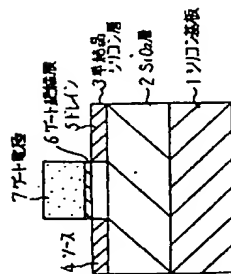
【符号の説明】

- 1 シリコン基板
- 2 SiO₂層
- 3 単結晶シリコン層
- 4 ソース
- 5 ドレイン
- 6 ゲート絶縁膜
- 7 ゲート電極
- 8 単結晶シリコン基板A
- 9 単結晶シリコン基板B
- 10 接合面
- 11 高減速p型領域
- 12 イオン注入
- 13 空乏層
- 14 チャネル領域
- 15 熱酸化膜
- 16 酸化膜
- 17 CVD酸化膜
- 18 フォトリソ
- 19 ボロソイオン注入
- 20 ボロソイオン注入
- 21 出力端子
- 22 接地端子
- 23 空乏層
- 24 高減速n型領域
- 25 熱酸化膜
- 26 酸化膜

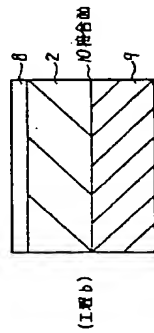
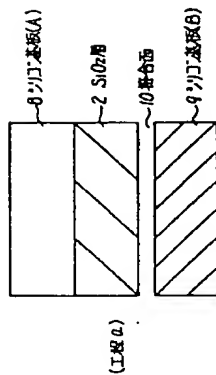
2.7	熱硬化膜
2.8	NMOSトランジスタ部
2.9	フィートレジスト
3.0	リンイオン注入
3.1	熱硬化膜
3.2	窒化膜
3.3	CVD酸化膜
3.4	n型領域
3.5	ゲート電極となる領域
3.6	フィートレジスト
3.7	ボロンイオン注入
3.8	高誘度n型領域

3.9	高濃度n型多結晶シリコン膜
4.0	熱酸化膜
4.1	コンタクトホール
4.2	フォトレジスト
4.3	フォトレジスト
4.4	ヒ素イオン注入
4.5	層間絶縁膜
4.6	接地端子
4.7	出力端子
4.8	電源端子
4.9	選択エピタキシャル成長による単結晶シリコン

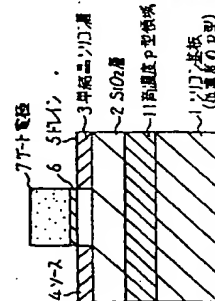
【圖1】



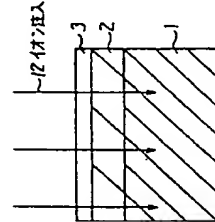
【图2】



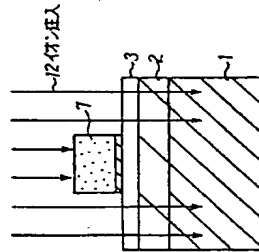
【圖 3】



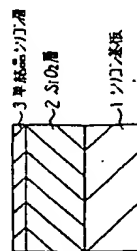
[图 4]



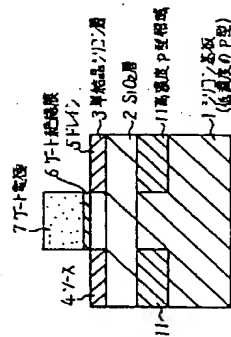
【图6】



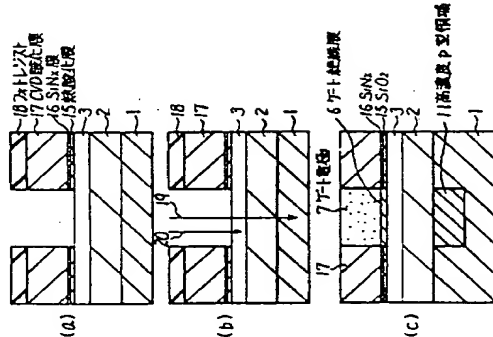
(612)



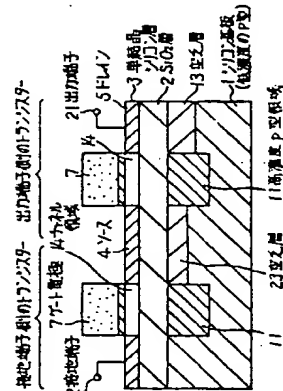
【5】



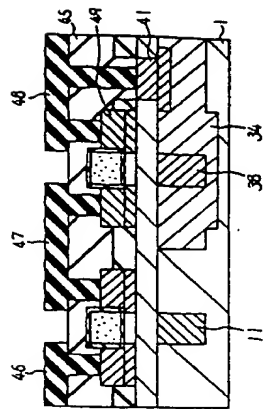
【例 8】



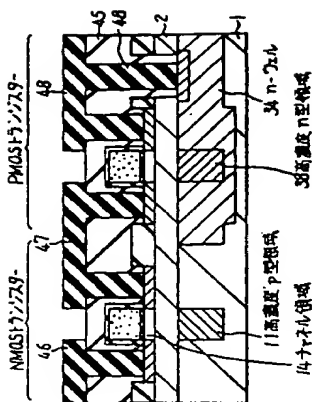
【図10】



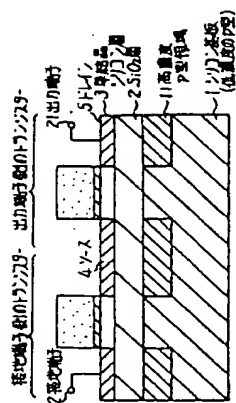
[916]



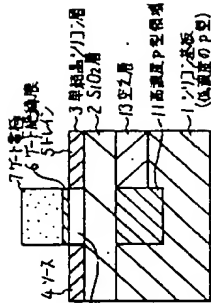
【圖】



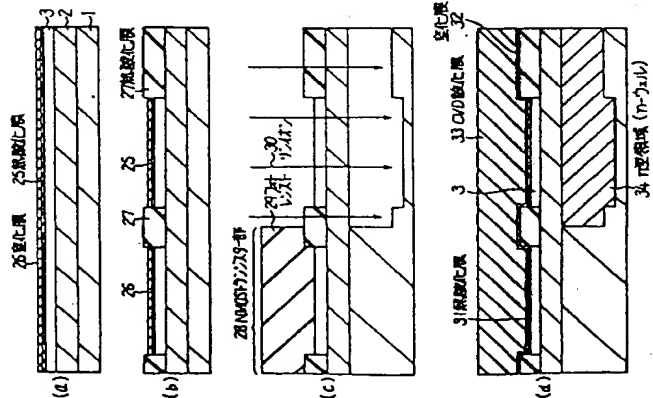
【5圖】



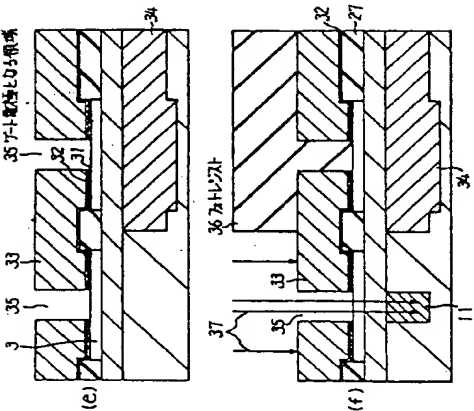
【図7】



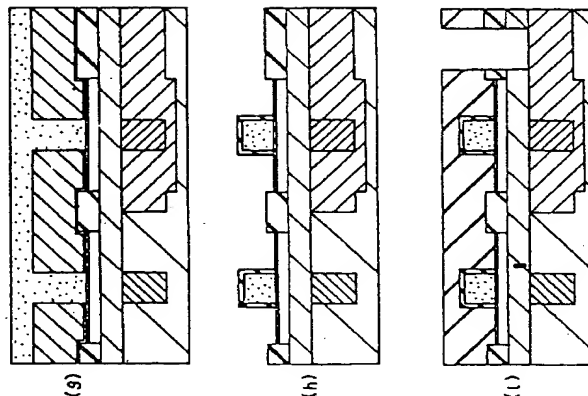
【図12】



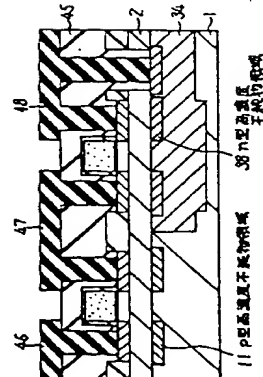
【図13】



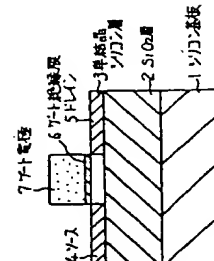
【図14】



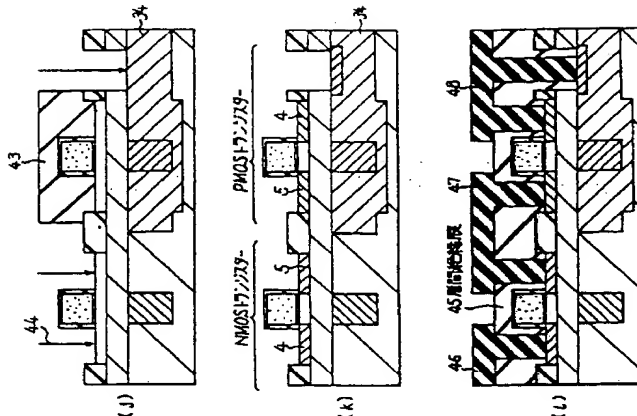
【図18】



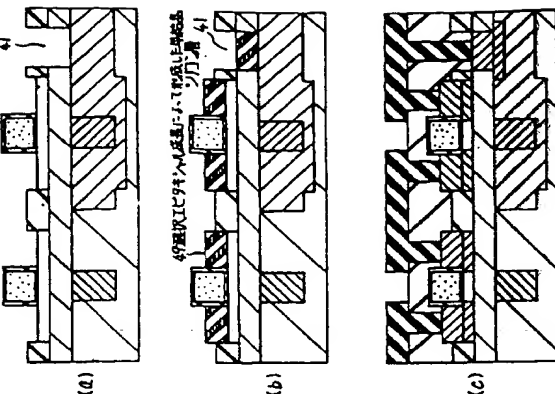
【図20】



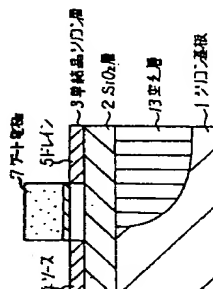
【図15】



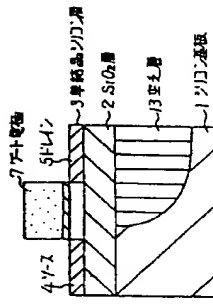
【図17】



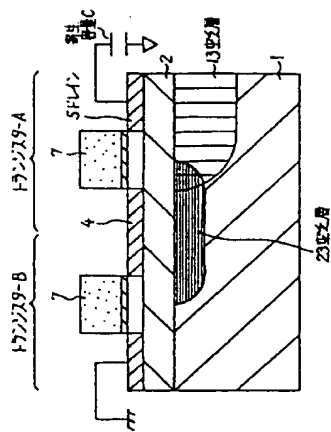
【図21】



【図22】



【図23】



THIS PAGE BLANK (USPTO)